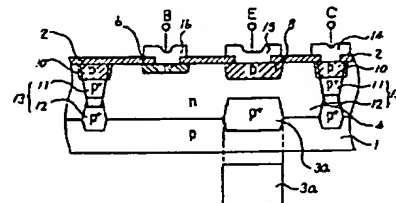


(54) SEMICONDUCTOR DEVICE

(11) 5-218055 (A) (43) 27.8.1993 (19) JP
 (21) Appl. No. 4-18116 (22) 4.2.1992
 (71) TOSHIBA CORP (72) EIKO KONO
 (51) Int. Cl.⁵ H01L21/331, H01L29/73

PURPOSE: To provide a bipolar transistor having a high current amplification factor without increasing the number of manufacturing processes of a semiconductor device.

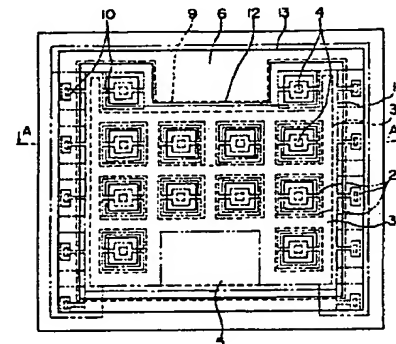
CONSTITUTION: A buried layer 3a which has a same conductivity type as a collector region 1 and has a higher impurity concentration than the collector region 1 is provided so as to cross between the collector region 1 and a base region 4 which are provided beneath an emitter region 8 to reduce a low resistance collector current path. Further, a base width is narrowed. Therefore, a collector current is improved and a transistor having a high current amplification factor (current gain) h_{FE} can be obtained.

**(54) POWER TRANSISTOR**

(11) 5-218056 (A) (43) 27.8.1993 (19) JP
 (21) Appl. No. 4-22438 (22) 7.2.1992
 (71) SHARP CORP (72) HAJIME KAMIUCHI(2)
 (51) Int. Cl.⁵ H01L21/331, H01L29/73

PURPOSE: To provide a power transistor which facilitates suppression of a non-uniform current distribution among respective unit transistors and, further, facilitates reduction of a resistance itself caused by an emitter electrode.

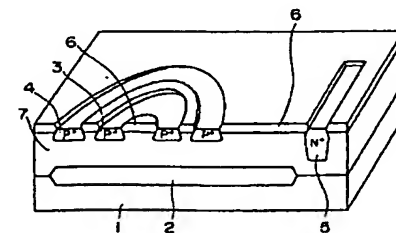
CONSTITUTION: A collector layer, a base layer 13 and an emitter layer 12 of which a plurality of unit transistors are composed are provided. A lattice-shaped emitter electrode 1 which surrounds the base electrode parts 4 of the base layer 13 is formed on the lattice-shaped pattern emitter electrode parts 3 of the emitter layer 12.

**(54) MANUFACTURE OF LATERAL TRANSISTOR**

(11) 5-218057 (A) (43) 27.8.1993 (19) JP
 (21) Appl. No. 4-38402 (22) 30.1.1992
 (71) NEW JAPAN RADIO CO LTD (72) OSAMU TAKEUCHI
 (51) Int. Cl.⁵ H01L21/331, H01L29/73

PURPOSE: To obtain a lateral transistor having high H_{FE} and a high breakdown strength by a method wherein an ion implantation mask film is formed on the surface of the center part of an emitter region on a silicon substrate and ions are implanted and diffused by using the mask film as a mask to form an emitter diffused layer.

CONSTITUTION: Two diffused layers 3 and 4 are formed on a silicon substrate 1 in such a manner that one layer (for instance 4) surrounds the other (for instance 3). The inner diffused layer 3 is used as an emitter and the outer diffused layer 4 is used as a collector. In a process for forming the emitter diffused layer 3 of the lateral transistor, an ion implantation mask film 6 is formed on the surface of the center part of an emitter region and ions are implanted and diffused by using the mask film as a mask to form the emitter diffused layer 3. For instance, an oxide film 6 is formed on the surface of the center part of the base region and the emitter region by a LOCOS method and P-type impurity ions are implanted and diffused by using the oxide film 6 as a mask to form the emitter diffused layer 3 and the collector diffused layer 4.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-218056

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.⁵

H 0 1 L 21/331

29/73

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M

H 0 1 L 29/ 72

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号 特願平4-22438

(22)出願日 平成4年(1992)2月7日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 上内 元

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 少前 和伸

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 岡田 正剛

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

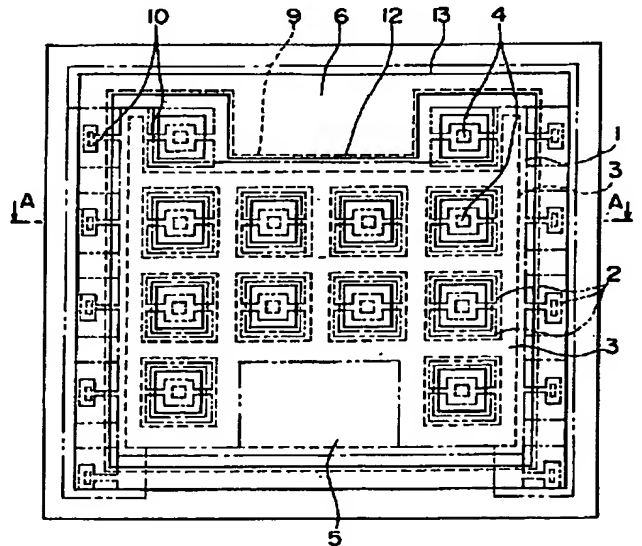
(74)代理人 弁理士 青山 葆 (外1名)

(54)【発明の名称】 パワートランジスタ

(57)【要約】

【目的】 各ユニットトランジスタ間の不均一な電流分布を抑えることができる上に、エミッタ電極に起因する抵抗自体を減少させることができるパワートランジスタを提供する。

【構成】 複数のユニットトランジスタを構成するコレクタ層14とベース層13とエミッタ層12を有し、格子状パターンのエミッタ層12のエミッタ電極コンタクト部3上に、ベース層13のベース電極コンタクト部4を囲む格子状のエミッタ電極1を形成した。



【特許請求の範囲】

【請求項1】 コレクタ層上にベース層が形成されると共に、上記ベース層上に格子状パターンのエミッタ層が形成され、上記コレクタ層とベース層とエミッタ層が構成する複数のユニットトランジスタを含んだパワートランジスタにおいて、

上記格子状パターンのエミッタ層のエミッタ電極コンタクト部上に形成され、上記ベース層のベース電極コンタクト部を囲む格子状のエミッタ電極と、
上記エミッタ電極を覆う絶縁膜と、
上記絶縁膜上および上記ベース層のベース電極コンタクト部上に形成されたベース電極とを備えたことを特徴とするパワートランジスタ。

【請求項2】 上記ベース電極は、ベースバラスト抵抗部を有すると共に、上記ベースバラスト抵抗部を介して上記ベース電極コンタクト部に接続されていることを特徴とする請求項1に記載のパワートランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、パワートランジスタに関し、特に、大電流および中電流用のパワートランジスタに関する。

【0002】

【従来の技術】 従来、大電流および中電流用のパワートランジスタのチップにおいては、エミッタの周囲長を長くするために、図7、図8に示すようなマルチエミッタ構造が一般に採用されている。図7は上記チップの略平面図であり、図8は図7のA-A略断面図である。図7、図8に示すように、上記パワートランジスタのチップは、コンタクト層34の下面にコンタクト電極28が設けられており、コンタクト層34の上面にはベース層33が形成されている。さらに、上記ベース層33の上面には格子状パターンエミッタ層32が形成されている。上記ベース層33上とエミッタ層32上には酸化膜31が形成され、酸化膜31で覆われていないベース層33の表面がベース電極コンタクト部24、24…となる。ベース層33は、これらのベース電極コンタクト部24を介してベース電極22に接続されている。

【0003】 上記ベース電極22は、図7に示すように、櫛形にパターンニングされたA1電極であり、ベース層33の各ベース電極コンタクト部24を並列に接続する。また、上記ベース電極22の一端は幅広のベース電極パッド部26をなす。

【0004】 また、上記酸化膜31で覆われていないエミッタ層32の表面がエミッタ電極コンタクト部23となる。図7に示すようにエミッタ電極コンタクト部23は、櫛形をしており、エミッタ層32は、上記櫛形のエミッタ電極コンタクト部23を介して、櫛形のエミッタ電極21に接続されている。上記エミッタ電極21の一端は幅広のエミッタ電極パッド部25をなす。このエミ

ッタ電極21もベース電極22と同様にA1電極である。

【0005】 なお、上記エミッタ電極コンタクト部23は、図7に示すような連続した櫛形ではなく、ベース電極コンタクト部24と同様の多数の窓状であってもよい。

【0006】 上記パワートランジスタは、上記ベース層33のベース電極コンタクト部24と、上記エミッタ層32のエミッタ電極コンタクト部23と、これらの下方のコレクタ層34とが構成する複数のユニットトランジスタを並列に接合した集合体とみなすことができる。

【0007】

【発明が解決しようとする課題】 上記パワートランジスタの等価回路を図9に示す。上記パワートランジスタは複数のユニットトランジスタ7を含んでいる。上記等価回路において、上記各ユニットトランジスタ7間には、エミッタ電極配線抵抗35が存在する。また、上記各ユニットトランジスタ7のエミッタ電極コンタクト部23とエミッタ電極21との接続部には、エミッタ電極コンタクト抵抗36が存在する。パワートランジスタにおいては、エミッタ電極を流れる電流が他の電極に比べて大きいために、エミッタ電極の配線抵抗およびコンタクト抵抗を回路上無視できないからである。

【0008】 上記エミッタ電極コンタクト抵抗36の値は、エミッタ電極21とエミッタ電極コンタクト部23との接続面積と、Siからなるエミッタ電極コンタクト部23とA1からなる電極21とのオーミック性に依存する。

【0009】 上記エミッタ電極配線抵抗35の値は、エミッタ電極21の材質、幅、厚さに依存する。さらに、エミッタ電極配線抵抗35の値は、上記各ユニットトランジスタ7とエミッタ電極パッド部25との間のエミッタ電極21の配線距離に比例して大きくなる。

【0010】 したがって、上記エミッタ電極パッド部25から離れた所に位置するユニットトランジスタ7程、上記エミッタ電極配線抵抗35が大きくなり、この電極配線抵抗35による電圧降下が大きくなる。したがって、上記エミッタ電極パッド部25から離れた所に位置するユニットトランジスタ7程、ベース・エミッタ間に加えられる電圧が低くなり、ベースからエミッタに注入される電流が少なくなる。

【0011】 このため、上記エミッタ電極パッド部25付近のユニットトランジスタ7に電流が集中することになる。このことは、コレクタ・エミッタ間の飽和電圧の上昇を招く上に、各ユニットトランジスタ7に均一な電流を流すことができず、チップ面積の有効利用を妨げるという問題がある。さらに、上記電流の集中は、サージ耐量を低下させるという問題もある。

【0012】 そこで、本発明の目的は、各ユニットトランジスタ間の不均一な電流分布を抑えることができる上

10

20

30

40

50

に、エミッタ電極に起因する抵抗自体を減少させることができるパワートランジスタを提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するため、本発明は、コレクタ層上にベース層が形成されると共に、上記ベース層上に格子状パターンのエミッタ層が形成され、上記コレクタ層とベース層とエミッタ層が構成する複数のユニットトランジスタを含んだパワートランジスタにおいて、上記格子状パターンのエミッタ層のエミッタ電極コンタクト部に形成され、上記ベース層のベース電極コンタクト部を囲む格子状のエミッタ電極と、上記エミッタ電極を覆う絶縁膜と、上記絶縁膜上および上記ベース層のベース電極コンタクト部に形成されたベース電極とを備えたことを特徴としている。

【0014】また、上記ベース電極は、ベースバラスト抵抗部を有すると共に、上記ベースバラスト抵抗部を介して上記ベース電極コンタクト部に接続されていることが望ましい。

【0015】

【作用】上記構成によれば、上記格子状のエミッタ電極が、上記ベース電極コンタクト部の周囲を取り囲むので、エミッタ電極が櫛形であって、エミッタ電極がベース電極コンタクト部の周囲を取り囲まない従来例に比べて、各ユニットトランジスタに対するエミッタ電極配線抵抗が均一化する。

【0016】さらに、上記格子状のエミッタ電極が、同じく格子状パターンのエミッタ層のエミッタ電極コンタクト部に形成されるので、エミッタ電極が櫛形である従来例に比べて、エミッタ電極と上記エミッタ電極コンタクト部とのコンタクト面積を大きくでき、上記エミッタ電極のエミッタ電極コンタクト抵抗を上記従来例に比べて小さくできる。

【0017】つまり、上記構成によれば、エミッタ電極配線抵抗とエミッタ電極コンタクト抵抗とを従来例に比べて小さくでき、従来例に比べてコレクタ・エミッタ間飽和電圧を下げることができると共に、各ユニットトランジスタに対するエミッタ電極配線抵抗を従来例に比べて均一化でき、特定のユニットトランジスタに電流が集中することが抑制されて、チップ面積を有効に利用できる。また、上記電流集中が抑制されることで、サージ耐量が向上させられる。

【0018】また、上記ベース電極は、上記エミッタ電極を覆う絶縁膜上に形成されるので、従来例と異なり、上記エミッタ電極との交差を避けるためのパターンニングが不必要になる。したがって、上記ベース電極のパターン形状や材質に対する設計上の自由度が広がる。したがって、上記ベース電極は、このベース電極を幅細にパターンニングしたことや抵抗率の高い金属で形成したことで作られたベースバラスト抵抗部を有することが可能になる。

【0019】上記ベース電極が、上記ベースバラスト抵抗部を介して上記ベース電極コンタクト部に接続されている場合には、上記ベースバラスト抵抗部の抵抗値の設定により、特定のユニットトランジスタへの電流集中をより一層抑制することが可能になる。

【0020】

【実施例】以下、本発明を図示の実施例により詳細に説明する。

【0021】図1に本発明のパワートランジスタの一実施例のチップの平面図を示し、図2に図1のA-A略断面図を示す。

【0022】上記実施例のコレクタ層14、ベース層13、エミッタ層12を形成する工程は、従来の一般のパワートランジスタと同様であり、公知であるので説明を省略し、エミッタ電極1およびベース電極2の形成工程を重点的に説明する。

【0023】まず、図3および図3のA-A断面を示す図4に示すように、格子状パターンのエミッタ層12のエミッタ電極コンタクト部3上の酸化膜11を除去し、次に、上記エミッタ層12と酸化膜11上に、Al等の金属膜を蒸着等によって形成し、次に、図1に示すベース電極コンタクト部4の周囲と、チップ周辺部の上記金属膜を除去することで、図3、4に示す格子状パターンエミッタ電極1を形成する。図1に示すように、上記エミッタ電極1は、上記ベース電極コンタクト部4を取り囲んでいる。

【0024】次に、上記酸化膜11およびエミッタ電極1の上に、ポリイミド、酸化膜等の絶縁膜を形成し、次に、ベース電極コンタクト部4の上およびユニットトランジスタを構成する領域外であるエミッタ電極パッド部5等の上にある上記絶縁膜を除去して、図2に示す絶縁膜9を形成する。上記絶縁膜9は上記エミッタ電極1を覆う。

【0025】次に、ベース層13のベース電極コンタクト部4上の酸化膜11を除去してから、図1、図2に示すベース電極2をAl等の金属によって形成する。上記ベース電極2は、図6に示すように、上記ベース電極コンタクト部4に継ながらパターン幅の狭いベースバラスト抵抗部10を備えている。

【0026】上記チップ裏面のコレクタ層14の端面の全面に半田電極等を形成することでコレクタ電極8を形成する。

【0027】上述のようにして形成されたパワートランジスタは、上記ベース層13の各ベース電極コンタクト部4、4…と、上記エミッタ層12のエミッタ電極コンタクト部3と、これらの下方のコレクタ層14とが構成する複数のユニットトランジスタを並列に接合した集合体とみなすことができる。

【0028】上記構成によれば、上記格子状のエミッタ電極1が、上記ベース電極コンタクト部4の周囲を取り

囲むので、エミッタ電極が櫛形であって、ベース電極コンタクト部の周囲を取り囲まない従来例に比べて、各ユニットトランジスタに対するエミッタ電極配線抵抗が均一化する。

【0029】さらに、上記格子状のエミッタ電極1が、同じく格子状パターンのエミッタ層12のエミッタ電極コンタクト部3上に形成されるので、エミッタ電極1が櫛形である従来例に比べて、エミッタ電極1と上記エミッタ電極コンタクト部3とのコンタクト面積を大きくでき、上記エミッタ電極1のエミッタ電極コンタクト抵抗を上記従来例に比べて小さくできる。

【0030】つまり、上記構成によれば、エミッタ電極配線抵抗とエミッタ電極コンタクト抵抗とを従来例に比べて小さくでき、従来例に比べてコレクタ・エミッタ間飽和電圧を下げることで、各ユニットトランジスタに対するエミッタ電極配線抵抗を従来例に比べて均一化でき、エミッタ電極パッド部5付近のユニットトランジスタに電流が集中することが抑制されて、チップ面積を有効に利用できる。また、上記電流集中が抑制されることで、サージ耐量を向上できる。

【0031】また、上記ベース電極2は、上記エミッタ電極1を覆う絶縁膜9上に形成されているので、従来例と異なり、上記エミッタ電極1との交差を避けるためのパターンニングが不要になる。したがって、上記ベース電極2のパターン形状や材質に対する設計上の自由度を広くできる。

【0032】また、上記実施例のベース電極2は、上記パターン幅の狭いベースバラスト抵抗部10を備えているので、特に、サージ耐量を向上できる。

【0033】尚、上記実施例のベースバラスト抵抗部10の抵抗値は、パターン幅のみならず、ベース電極2の膜厚やベース電極2の材質によってコントロールできる。

【0034】

【発明の効果】以上の説明より明らかなように、本発明のパワートランジスタは、格子状のエミッタ電極が、ベース電極コンタクト部の周囲を取り囲むので、エミッタ電極が櫛形である従来例に比べて、各ユニットトランジスタに対するエミッタ電極配線抵抗を均一化できる。

【0035】さらに、上記格子状のエミッタ電極が、同じく格子状パターンのエミッタ層のエミッタ電極コンタクト部3上に形成されたので、エミッタ電極が櫛形である従来例に比べて、エミッタ電極と上記エミッタ電極コンタクト部との接続面積を大きくでき、上記エミッタ電極のエミッタ電極コンタクト抵抗を上記従来例に比べて小さくできる。

【0036】つまり、本発明によれば、エミッタ電極配線抵抗とエミッタ電極コンタクト抵抗とを従来例に比べて小さくでき、従来例に比べてコレクタ・エミッタ間飽和

* 和電圧を下げることで、各ユニットトランジスタに対するエミッタ電極配線抵抗を従来例に比べて均一化でき、特定のユニットトランジスタに電流が集中することを抑制でき、チップ面積を有効に利用できる。また、上記電流集中が抑制されることで、サージ耐量を向上させることができる。

【0037】また、上記ベース電極は、上記エミッタ電極を覆う絶縁膜上に形成されるので、従来例と異なり、上記エミッタ電極との交差を避けるためのパターンニングが不要になる。したがって、上記ベース電極のパターン形状や材質に対する設計上の自由度が広がる。したがって、上記ベース電極は、このベース電極を幅細にパターンニングしたことや抵抗率の高い金属で形成したことで作られたベースバラスト抵抗部を有することができる。

【0038】上記ベース電極が、上記ベースバラスト抵抗部を介して上記ベース電極コンタクト部に接続されている場合には、上記ベースバラスト抵抗部の抵抗値の設定により、特定のユニットトランジスタへの電流集中を、より一層抑制することができる。

【図面の簡単な説明】

【図1】 本発明の一実施例の平面図である。

【図2】 図1のA-A断面図である。

【図3】 上記実施例のエミッタ電極コンタクト部とエミッタ電極のパターンを示す平面図である。

【図4】 図3のA-A断面図である。

【図5】 上記実施例のベース電極コンタクト部とベース電極のパターンを示す平面図である。

【図6】 上記実施例のベース電極コンタクト部の拡大図である。

【図7】 従来例の平面図である。

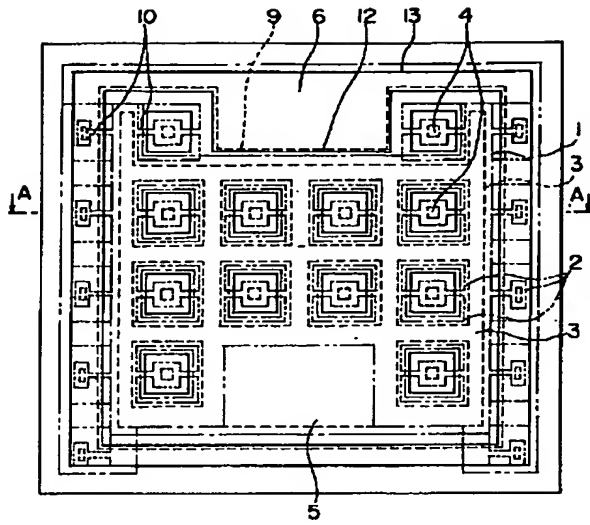
【図8】 図7のA-A断面図である。

【図9】 上記従来例の等価回路図である。

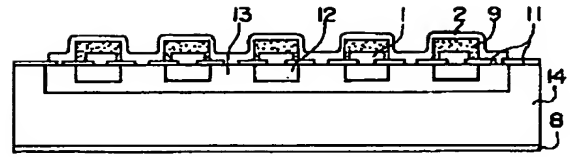
【符号の説明】

1	エミッタ電極	2	ベース電極
3	エミッタ電極コンタクト部	4	ベース電極コンタクト
5	エミッタ電極パッド部	6	ベース電極パッド部
7	ユニットトランジスタ	8	コレクタ電極
9	絶縁膜	10	ベースバラスト抵抗部
11	酸化膜	12	エミッタ層
13	ベース層	14	コレクタ層
35	エミッタ電極配線抵抗		
36	エミッタ電極コンタクト抵抗		

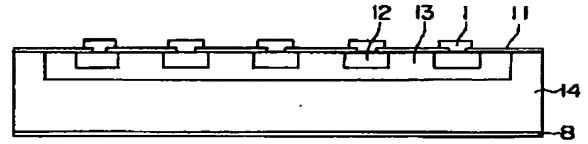
【図1】



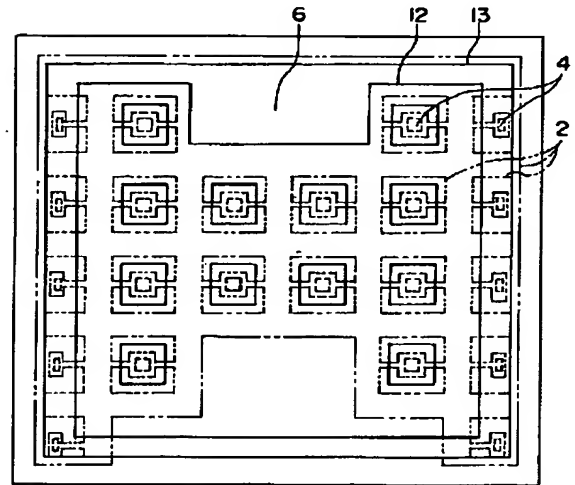
【図2】



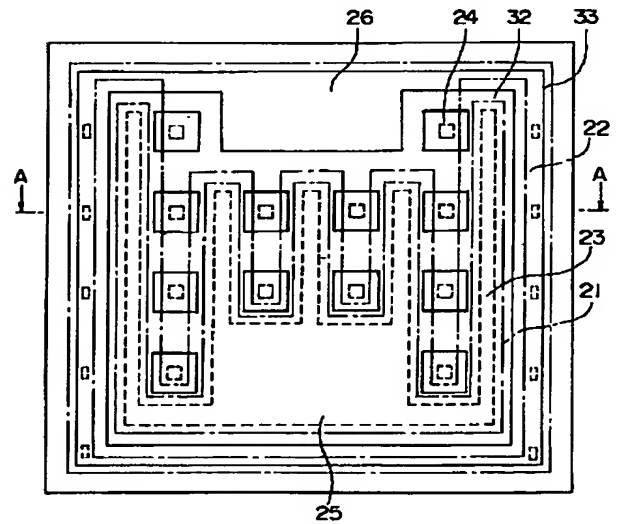
【図4】



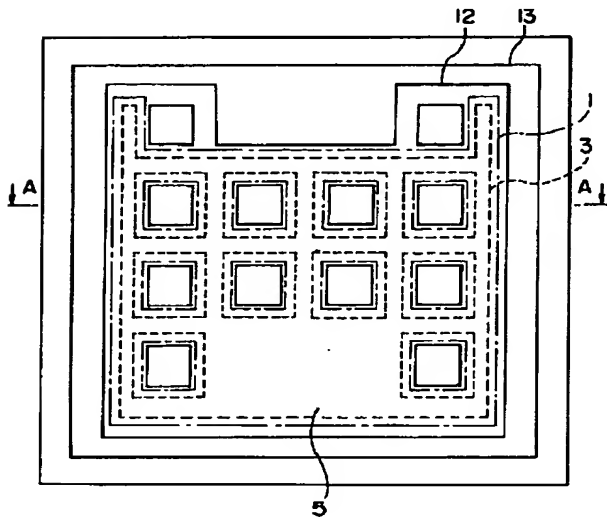
【図5】



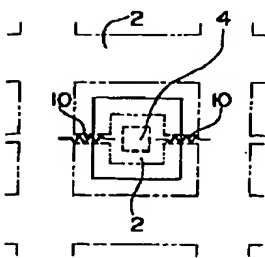
【図7】



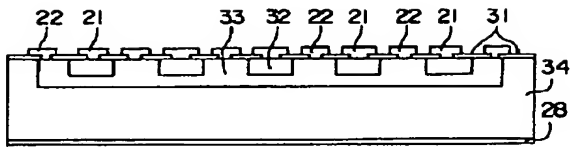
【図3】



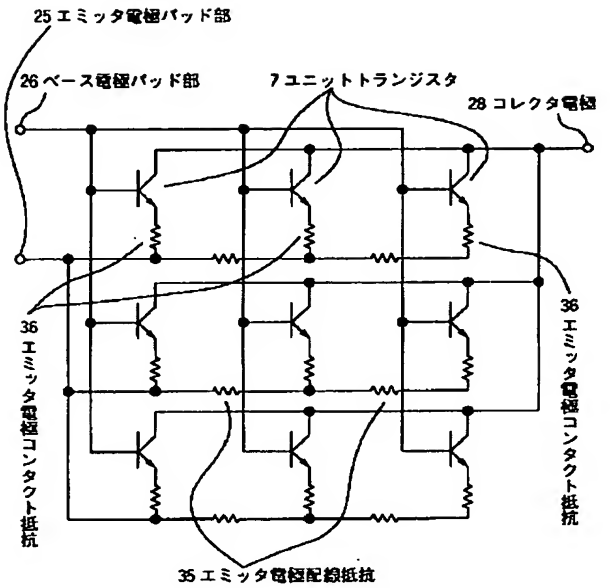
【図6】



【図8】



【図9】



(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07130895 A**

(43) Date of publication of application: **19 . 05 . 95**

(51) Int. Cl

H01L 21/8249
H01L 27/06

(21) Application number: **05272876**

(22) Date of filing: **01 . 11 . 93**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **NAKAZAWA HIROYUKI**

**(54) SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE AND MANUFACTURE THEREOF**

(57) Abstract:

PURPOSE: To isolate elements between bipolar transistor MOSFETs completely, and to improve characteristics such as the threshold of the MOSFET without deteriorating the isolation breakdown strength of a bipolar transistor.

CONSTITUTION: Impurities are diffused into an N-type epitaxial layer so that the impurity concentration of a P-type isolation layer 5 is made higher than that of a P-well layer 4 by 10^2cm^{-3} or more, thus forming a semiconductor device 0.

COPYRIGHT: (C)1995,JPO

